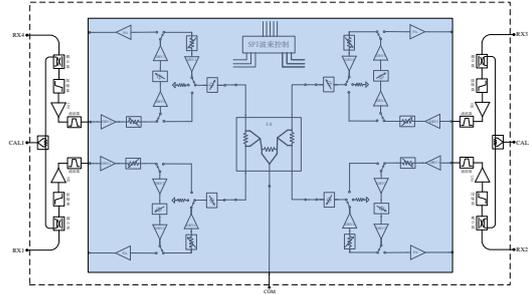


性能特点

- 频率范围：8GHz~16GHz
- 接收增益：21dB（不含合成增益）
- 噪声系数：3dB
- 6 位移相器 RMS 6°
- 6 位衰减 RMS 1dB
- 驻波：1.8
- SPI 串行控制
- 工作电压：+5V,+3.3V,-5V
- 尺寸：16mm×16mm×3mm（不含球）

原理框图



产品简介

CSiP-X-4-12 是一款 8-16GHz 频段表面安装四通道接收模组，基于高可靠金属陶瓷 BGA 封装设计。模组每路接收通道集成了以下电路功能：接收定标耦合器、限幅器、低噪声放大器、滤波器、6 位数控移相器和 6 位数控衰减器，采用 SPI 串行指令控制。工作频率覆盖 8GHz~16GHz。

电参数

VDD=+5V, VCC=+3.3V, VEE=-5V, 连续波测试，以下均为单通道指标：

参数	测试条件 (8-16GHz)	最小值	典型值	最大值	单位
噪声系数	TA =25℃		3		dB
接收增益	TA =25℃		20		dB
增益平坦度	TA =25℃	-1.5		+1.5	dB
移相位数	TA =25℃	6bit, 5.625°			
移相 64 态 RMS	TA =25℃		6		
移相幅度变化 (RMS)	TA =25℃	-1		+1	dB
衰减位数	TA =25℃	6bit, 0.5dB			
衰减 64 态 RMS	TA =25℃		1		dB
衰减附加相移 (RMS)	TA =25℃	-5		+5	°
耦合度	TA =25℃		18		dB
耦合平坦度	TA =25℃	-2		+2	dB
+5V 电流	TA =25℃		12		mA
+3.3V 电流	TA =25℃		110		mA
-5V 电流	TA =25℃		2.5		mA

使用限制参数

参数	符号	极限值
电压	VDD	+6V



电压	VCC	+3.6V
电压	VEE	-5.5V
逻辑控制电压	CLK/SEL/FEN/FIN/TRR/SYN/DARY/DATA/ MODE	+3.6V
最高输入功率 (IN1/IN2/IN3/IN4)	IN	+15dBm
最高输入功率 (COM)	COM	+15dBm
储存温度	TSTG	-55℃~+125℃
工作温度	Top	-55℃~+85℃

真值表

模组共五个通道，每个幅相通道串行数据 33 位，共有 4 个幅相控制通道，第五通道串行数据 14 位，模组总数据长度 146 位，数据位功能定义如下表所示。

通道 5		通道 4		通道 3		通道 2		通道 1	
D0	接收使能控制位	D14	接收使能控制位	D47	接收使能控制位	D80	接收使能控制位	D113	接收使能控制位
D1	置 0	D15	置 0	D48	置 0	D81	置 0	D114	置 0
D2	置 0	D16	置 0	D49	置 0	D82	置 0	D115	置 0
D3	置 0	D17-D25	置 0	D50-D58	置 0	D83-D91	置 0	D116-D124	置 0
D4	置 0	D26-D34	见接收码表	D59-D67	见接收码表	D92-D100	见接收码表	D125-D133	见接收码表
D5	置 0	D35	置 0	D68	置 0	D101	置 0	D134	置 0
D6	置 0	D36	置 0	D69	置 0	D102	置 0	D135	置 0
D7	置 0	D37	置 0	D70	置 0	D103	置 0	D136	置 0
D8	置 0	D38	置 0	D71	置 0	D104	置 0	D137	置 0
D9	置 0	D39	置 0	D72	置 0	D105	置 0	D138	置 0
D10	置 0	D40	置 0	D73	置 0	D106	置 0	D139	置 0
D11	置 0	D41	接收衰减控制位 0.5dB	D74	接收衰减控制位 0.5dB	D107	接收衰减控制位 0.5dB	D140	接收衰减控制位 0.5dB
D12	置 0	D42	接收衰减控制位 1dB	D75	接收衰减控制位 1dB	D108	接收衰减控制位 1dB	D141	接收衰减控制位 1dB
D13	置 0	D43	接收衰减控制位 2dB	D76	接收衰减控制位 2dB	D109	接收衰减控制位 2dB	D142	接收衰减控制位 2dB
		D44	接收衰减控制位 4dB	D77	接收衰减控制位 4dB	D110	接收衰减控制位 4dB	D143	接收衰减控制位 4dB



		D45	接收衰减 控制位 8dB	D78	接收衰减 控制位 8dB	D111	接收衰减 控制位 8dB	D144	接收衰减 控制位 8dB
		D46	接收衰减 控制位 16dB	D79	接收衰减 控制位 16dB	D112	接收衰减 控制位 16dB	D145	接收衰减 控制位 16dB

注：1) 数据位 D0 先入先出

2) 串口位高电平有效

逻辑切换见下表

TRR	D1	D0	状态
1	0	1	接收
其他逻辑组合			负载态

接收移相码表见下表

相位 (°)	接收寄存器码字 (DEC) D34-D26、D67-D59、D100-D92、D133-D125
0	128
5.625	129
11.25	131
16.875	133
22.5	137
28.125	143
33.75	152
39.375	173
45	200
50.625	223
56.25	238
61.875	245
67.5	249
73.125	251
78.75	253
84.375	254
90	127
95.625	126
101.25	125
106.875	122
112.5	119
118.125	114
123.75	105

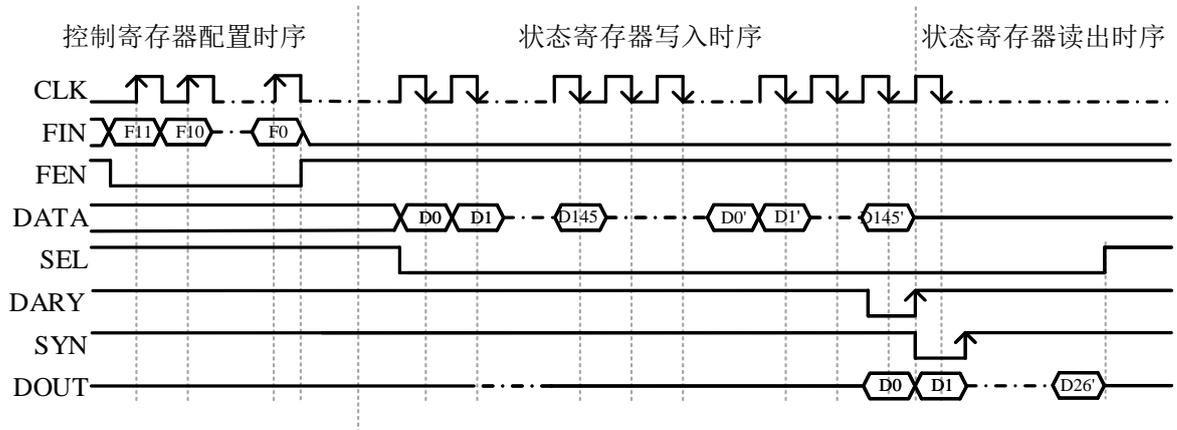


129.375	89
135	64
140.625	39
146.25	22
151.875	13
157.5	8
163.125	5
168.75	2
174.375	1
180	256
185.625	257
191.25	259
196.875	261
202.5	265
208.125	271
213.75	280
219.375	300
225	328
230.625	352
236.25	365
241.875	373
247.5	376
253.125	379
258.75	381
264.375	382
270	511
275.625	510
281.25	509
286.875	506
292.5	503
298.125	498
303.75	490
309.375	472
315	447
320.625	422
326.25	405
331.875	397
337.5	392
343.125	389
348.75	386
354.375	385

注：1、移相器码值已转换为十进制，如接收态 5.625° 移相器，十进制码值为"128"，对应的 D34-D26 则为"010000000"；

2、逻辑'0'为低电平，对应 0V，逻辑'1'为高电平，对应 3.3V。

驱动时序图



说明:

注 1: DATA 为串行数据输入，数据在 SEL 为低电平，CLK 下降沿时输入移位， DOUT 为移位寄存器串行输出，当 SEL 为低电平且 CLK 下降沿时开始移位输出数据，为自检信号；

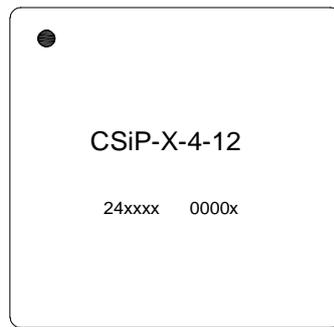
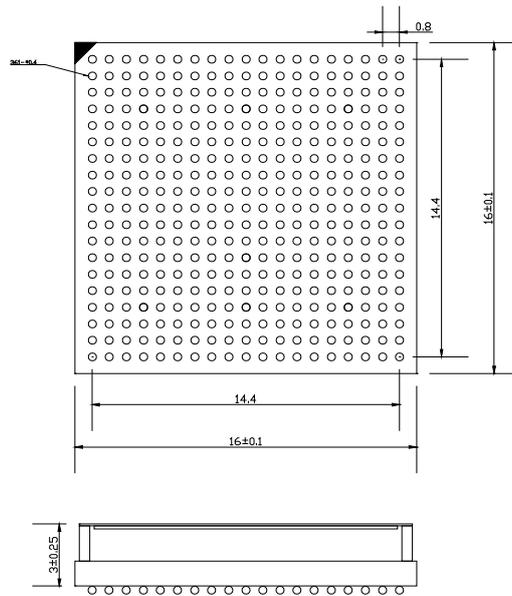
注 2: DARY 为一级锁存信号，上升沿触发有效； SYN 为二级锁存信号，上升沿触发有效；

注 3: 上电后串行写入操作应在上电复位延时（20-60us 之间）完成后进行；

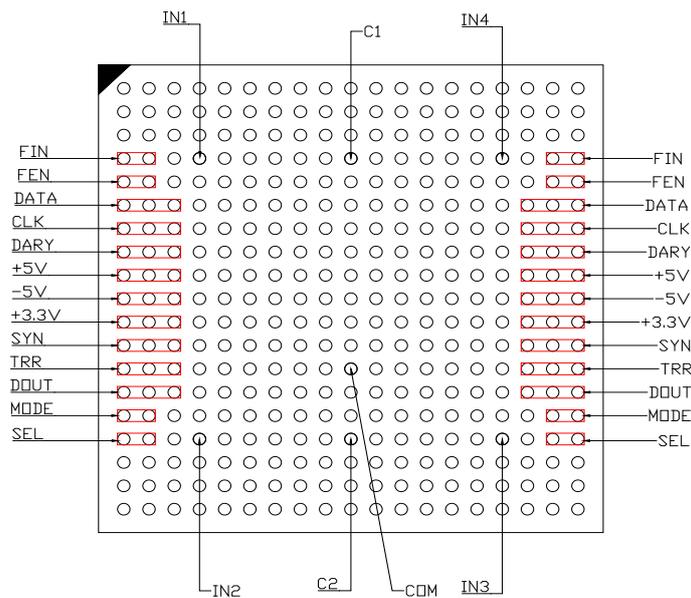
注 4: 通道顺序为 CH5, CH4, CH3, CH2, CH1。

外形尺寸及压点排列图

外形尺寸如下图所示。



压点排列如下图所示。



注：未注引脚为GND

序号	符号	属性	电平	功能描述
1	-5V	输入	-5V	-5V 供电
2	+3.3V	输入	+3.3V	+3.3V 供电
3	+5V	输入	+5V	+5V 供电
4	FIN	输入	TTL	控制寄存器串行数据输入位
5	FEN	输入	TTL	控制寄存器串行输入使能位，低电平串行输入有效，上升沿锁存 FIN 数据
6	SEL	输入	TTL	片选信号，低电平有效
7	DATA	输入	TTL	串行数据输入，内置 1M 电阻下拉
8	CLK	输入	TTL	时钟信号，内置 1M 电阻下拉
9	SYN	输入	TTL	存储器读出触发信号，上升沿有效，内部 1M 下拉
10	DARY	输入	TTL	存储器写入触发信号，上升沿有效，内部 1M 下拉
11	DOUT	输出	TTL	串行数据输出
12	MODE	输入	TTL	0V 译码器模式/3.3V 不译码模式，内部 1M 下拉
13	TRR	输入	TTL	接收外部开关输入（3.3V 开，0V 关），内置 1M 电阻下拉
14	IN1	输入		CH1 输入口
15	IN2	输入		CH2 输入口
16	IN3	输入		CH3 输入口
17	IN4	输入		CH4 输入口
18	C1	输出		耦合口 1
19	C2	输出		耦合口 2
20	COM	输出		射频输出口
其它	GND			地

注意事项

- 1) 模组需在洁净环境贴板焊接；
- 2) 模组底面采用 183℃ 焊料（Sn63Pb37）焊接直径 400 μm 高铅焊球；
- 3) 模组内部可承受 240℃ 高温，推荐使用 Sn63Pb37 焊膏对模组进行 SMT 焊接，焊接完成后可进行喷淋清洗，不得使用超声清洗；
- 4) 贴装模组的电路板建议选择与陶瓷热膨胀系数差别较小的板材进行设计，模组贴板后的返修，不适用红外加热方式返修；
- 5) 模组内部有静电敏感元件，在运输、存储过程中有专用防静电密封包装；模组贴板焊接时人员、设备需具备可靠的防静电措施，不得在没有防静电措施的条件下



打开包装；模组的后续板级、系统级测试、使用，均应注意静电防护；

- 6) 模组发货时的防静电密封包装请到贴装使用时再拆除。拆除包装后未使用的模组需在干燥柜内保存并在 4 周内完成贴装使用；
- 7) 设计模组的应用电路时，需在模组+5V，+3.3V 和-5V 引脚附近对地并联 $0.1\ \mu\text{F}$ 和 $10\ \mu\text{F}$ 的陶瓷滤波电容；
- 8) 有问题请及时与市场人员联系。