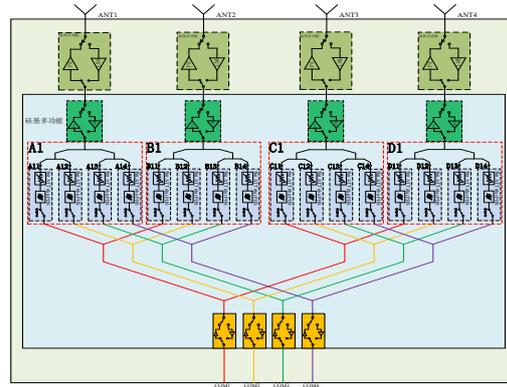


性能特点

- 频率范围：21GHz~23.5GHz
- 接收增益：20dB
- 噪声系数：3.5dB
- 发射功率增益：20dB
- 发射饱和功率：23dBm
- 6 位移相 RMS 5°
- 5 位衰减 RMS 1dB
- LVTTTL 电平串行控制
- 模组尺寸：12.8mm×11.5mm×2.85mm
(不含球)

原理框图



产品简介

CSiP-K-4-10 是一款 K 波段表面安装十六通道收发模组，采用 BGA 封装形式，外壳选用陶瓷基板，围框和盖板采用金属材料，通过顶部散热和底部同时散热的方式降低模组的热阻。模组集成了以下电路功能：6 位数控移相、5 位衰减、发射驱动放大器、接收低噪声放大器、开关电路和串转并驱动器等。可广泛应用于弹载、机载、地面等微波系统中。

电参数 ($T_A=+25^{\circ}\text{C}$, $V_{d1}=+5\text{V}$, $V_{d2}=+3.3\text{V}$, $V_{ee}=-5\text{V}$, 以下无特殊说明均为单通道指标)

参数名称		数值		单位	备注
		最小值	最大值		
工作频率		21~23.5		GHz	
发射通道	发射功率增益	20	-	dB	
	功率增益平坦度	-0.5	+0.5	dB	
	饱和输出功率	23	-	dBm	
	输出功率一致性	-0.5	+0.5	dB	所有模块通道间同频点
	发射移相位数	6bit, 5.625°			
	发射移相精度 RMS	-	5	°	
	发射移相幅度变化	-	1	dB	
	发射衰减位数	5bit, 0.5dB			
	发射衰减精度 RMS	-	0.5	dB	
	发射衰减附加相移	-	10	°	
	输入端口驻波	-	2.5		
	输出端口驻波	-	1.7		
	+5V 发射峰值电流	-	500	mA	通道全开测试
	+3.3V 发射峰值电流	-	300	mA	通道全开测试
-5V 电流	-	10	mA	通道全开测试	
接收通道	噪声系数	-	3.5	dB	
	接收增益	20	-	dB	
	增益平坦度	-1.5	+1.5	dB	
	接收增益通道一致性	-0.8	+0.8	dB	所有模块通道间同频点
	移相位数	6bit, 5.625°			
	接收移相精度 RMS	-	4	°	



接收移相幅度变化	-	2	dB	
衰减位数	5bit, 0.5dB			
接收衰减精度 RMS	-	1	dB	
接收衰减附加相移	-	12	°	
输入 P ₋₁	-39	-	dBm	
输入端口驻波	-	1.7		
输出端口驻波	-	2.5		
+5V 接收峰值电流	-	55	mA	通道全开测试
+3.3V 接收峰值电流	-	210	mA	通道全开测试
-5V 电流	-	10	mA	通道全开测试

使用限制参数

参数	符号	极限值
+5V 电源	Vd1	+5.5V
+3.3V 电源	Vd2	+3.6V
-5V 电源	Vee	-5.5V
最高输入功率 (RF1/RF2/RF3/RF4)	P _p	-20dBm
最高输入功率 (COM1/COM2/COM3/COM4)	Pin(com)	+15dBm
储存温度	T _{STG}	-55°C ~ +85°C
工作温度	T _{op}	-55°C ~ +85°C

真值表

模组的每个幅相通道串行数据为 14 位，整个模组共有 16 个幅相控制通道，另外整个模组还有 4 位地址位进行功能选择，总数据长度 228 位。

模组总数据位定义如下表所示，D_x[13:2]为通道内数据位，其中 6bit 发射数据，6bit 接收数据，D_x1 为通道内发射使能位，D_x0 为通道内接收使能位。

数据位	D227-D216	D215	D214	D213-D202	D201	D200	D199-D188	D187	D186
定义	D ₁ [13:2]	D ₁ 1	D ₁ 0	D ₂ [13:2]	D ₂ 1	D ₂ 0	D ₃ [13:2]	D ₃ 1	D ₃ 0
数据位	D185-D174	D173	D172	D171-D160	D159	D158	D157-D146	D145	D144
定义	D ₄ [13:2]	D ₄ 1	D ₄ 0	D ₅ [13:2]	D ₅ 1	D ₅ 0	D ₆ [13:2]	D ₆ 1	D ₆ 0
数据位	D143-D132	D131	D130	D129-D118	D117	D116	D115-D104	D103	D102
定义	D ₇ [13:2]	D ₇ 1	D ₇ 0	D ₈ [13:2]	D ₈ 1	D ₈ 0	D ₉ [13:2]	D ₉ 1	D ₉ 0
数据位	D101-D90	D89	D88	D87-D76	D75	D74	D73-D62	D61	D60
定义	D ₁₀ [13:2]	D ₁₀ 1	D ₁₀ 0	D ₁₁ [13:2]	D ₁₁ 1	D ₁₁ 0	D ₁₂ [13:2]	D ₁₂ 1	D ₁₂ 0
数据位	D59-D48	D47	D46	D45-D34	D33	D32	D31-D20	D19	D18
定义	D ₁₃ [13:2]	D ₁₃ 1	D ₁₃ 0	D ₁₄ [13:2]	D ₁₄ 1	D ₁₄ 0	D ₁₅ [13:2]	D ₁₅ 1	D ₁₅ 0
数据位	D17-D6	D5	D4	D3	D2	D1	D0		
定义	D ₁₆ [13:2]	D ₁₆ 1	D ₁₆ 0	CP	BF[1]	BF[0]	AP		

模组 4 位地址位功能定义见下表所示：

CP (波束/芯片选择)	BF[1]	BF[0]	AP (移相衰减选择)	地址位功能
0	x	x	0	整芯片同时切换，数据位为移相数据，衰减状态保持
0	x	x	1	整芯片同时切换，数据位为衰减数据，移相状态保持
1	0	0	0	只切换波束 1 状态，数据位为移相数据，衰减状态保持
1	0	0	1	只切换波束 1 状态，数据位为衰减数据，移相状态保持
1	0	1	0	只切换波束 2 状态，数据位为移相数据，衰减状态保持
1	0	1	1	只切换波束 2 状态，数据位为衰减数据，移相状态保持
1	1	0	0	只切换波束 3 状态，数据位为移相数据，衰减状态保持
1	1	0	1	只切换波束 3 状态，数据位为衰减数据，移相状态保持
1	1	1	0	只切换波束 4 状态，数据位为移相数据，衰减状态保持
1	1	1	1	只切换波束 4 状态，数据位为衰减数据，移相状态保持

模组中每个幅相控制通道的 14 位数据位功能定义见下表：

数据位定义	功能描述		说明
	AP 为 1	AP 为 0	
D _x 0	通道接收使能位	通道接收使能位	LVTTL
D _x 1	通道发射使能位	通道发射使能位	LVTTL
D _x 2	发射衰减控制位 0.5dB	发射移相控制位 5.625°	LVTTL
D _x 3	发射衰减控制位 1dB	发射移相控制位 11.25°	LVTTL
D _x 4	发射衰减控制位 2dB	发射移相控制位 22.5°	LVTTL
D _x 5	发射衰减控制位 4dB	发射移相控制位 45°	LVTTL
D _x 6	发射衰减控制位 8dB	发射移相控制位 90°	LVTTL
D _x 7	置零	发射移相控制位 180°	LVTTL
D _x 8	接收衰减控制位 0.5dB	接收移相控制位 5.625°	LVTTL
D _x 9	接收衰减控制位 1dB	接收移相控制位 11.25°	LVTTL
D _x 10	接收衰减控制位 2dB	接收移相控制位 22.5°	LVTTL
D _x 11	接收衰减控制位 4dB	接收移相控制位 45°	LVTTL
D _x 12	接收衰减控制位 8dB	接收移相控制位 90°	LVTTL
D _x 13	置零	接收移相控制位 180°	LVTTL

说明:

注 1: 数据位 D_x13 先入先出;

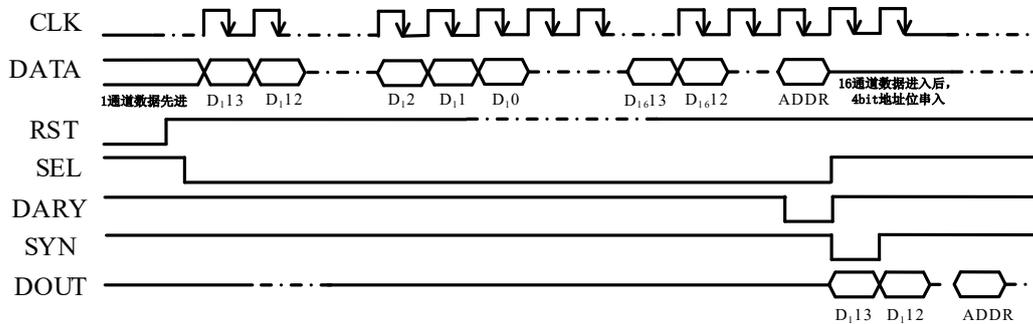
注 2: 串口位高电平有效;

波束通道与幅相控制通道对应关系

模组的波束通道与幅相控制通道对应关系如下表所示:

	RF1	RF2	RF3	RF4
COM1	CH1	CH6	CH5	CH2
COM2	CH3	CH8	CH7	CH4
COM3	CH13	CH10	CH9	CH14
COM4	CH15	CH12	CH11	CH16

驱动时序图



说明:

注 1: DATA 为串行数据输入, 数据在 CLK 下降沿时输入移位; DOUT 为移位寄存器串行输出端, 在 CLK 下降沿输出。SEL 为片选信号, 默认为低电平时串行输入数据有效, 高电平时不移位;

注 2: RST 为内部复位信号, 上电后复位, 复位后默认各通道处于负载态, 移相处于基态, 衰减处于最大衰减态, 串行写入操作需在上电复位延时完成后进行;

注 3: DARY 信号为一级数据锁存信号, 上升沿进行锁存;

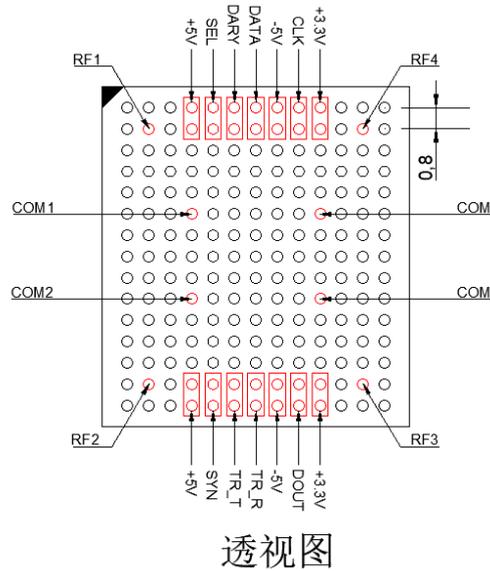
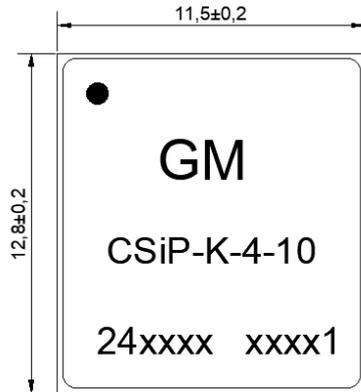
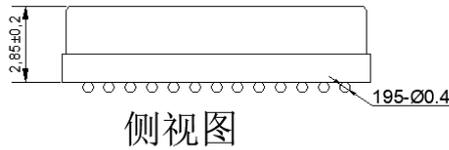
注 4: SYN 信号为二级数据锁存信号, 上升沿进行锁存;

注 5: 第 1 通道数据先进, 当第 16 通道数据进入后, 4bit 地址位串入;

注 6: 当选择发单波束数据时, 在发完 4 个通道数据和地址位共 60 位后, 需即时将 DARY 拉高; 同理, 选择发四波束数据时, 在发完 16 个通道数据和地址位共 228 位后, 需即时将 DARY 拉高。

外形尺寸及压点排列图

外形尺寸及压点排列如下图所示（单位：mm）。



注：未注引脚为 GND

序号	符号	属性	电平	功能描述
1	SEL	输入	LVTTL	片选信号，低电平片选有效，默认为低电平
2	DARY	输入	LVTTL	一级锁存信号，上升沿有效
3	DATA	输入	LVTTL	串行输入信号
4	CLK	输入	LVTTL	串行数据输入时钟
5	SYN	输入	LVTTL	二级锁存信号，上升沿有效
6	TR_T	输入	LVTTL	发射外部控制信号
7	TR_R	输入	LVTTL	接收外部控制信号
8	DOUT	输入	LVTTL	回读信号
9	-5V	输入		-5V 电压输入
10	+3.3V	输入		+3.3V 电压输入
11	+5V	输入		+5V 电压输入
12	RF1	输入/输出		通道 1 输入输出端口
13	RF2	输入/输出		通道 2 输入输出端口
14	RF3	输入/输出		通道 3 输入输出端口
15	RF4	输入/输出		通道 4 输入输出端口
16	COM1	输入/输出		公共输入输出端口
17	COM2	输入/输出		公共输入输出端口
18	COM3	输入/输出		公共输入输出端口
19	COM4	输入/输出		公共输入输出端口
其它	GND	接地		地

注意事项

- 1) 模组需在洁净环境贴板焊接；
- 2) 模组底面采用 183℃ 焊料（Sn63Pb37）焊接直径 400 μm 高铅焊球；
- 3) 模组内部可承受 240℃ 高温，推荐使用 Sn63Pb37 焊膏对模组进行 SMT 焊接，焊接完成后可进行喷淋清洗，不得使用超声清洗；
- 4) 贴装模组的电路板建议选择陶瓷热膨胀系数差别较小的板材进行设计，模组贴板后的返修，不适用红外加热方式返修；
- 5) 模组内部有静电敏感元件，在运输、存储过程中有专用防静电密封包装；模组贴板焊接时人员、设备需具备可靠的防静电措施，不得在没有防静电措施的条件下打开包装；模组的后续板级、系统级测试、使用，均应注意静电防护；
- 6) 模组发货时的防静电密封包装请到贴装使用时再拆除。拆除包装后未使用的模组需在干燥柜内保存并在 4 周内完成贴装使用；
- 7) 模组发射工作时热耗较高，建议采取顶部散热方式；
- 8) RF1、RF2、RF3、RF4 端口内部有隔直电容，COM1、COM2、COM3、COM4 端口内部无隔直电容；
- 9) 设计模组的应用电路时，需在模组+5V、+3.3V 和-5V 引脚附近对地并联 0.01 μF 和 1 μF 的陶瓷滤波电容；
- 10) 有问题请及时与市场人员联系。